

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: HO-CHEOL LEE
Application No.: NEW APPLICATION
Filed: January 5, 2004
For: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING PADS LAYOUT
FOR INCREASING SIGNAL INTEGRITY AND REDUCING CHIP SIZE

PRIORITY LETTER

January 5, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

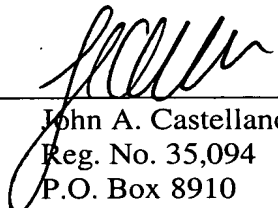
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

| <u>Application No.</u> | <u>Date Filed</u> | <u>Country</u> |
|-------------------------------|--------------------------|-----------------------|
| 10-2003-0011686 | February 25, 2003 | REPUBLIC OF KOREA |

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNES, DICKEY, & PIERCE, P.L.C.

By 
John A. Castellano
Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0011686
Application Number

출원년월일 : 2003년 02월 25일
Date of Application FEB 25, 2003

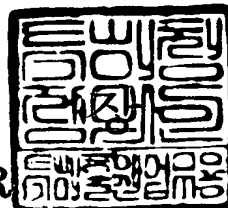
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 10 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0002 |
| 【제출일자】 | 2003.02.25 |
| 【발명의 명칭】 | 신호 완결성 개선 및 칩 사이즈 감소를 위한 패드배치 구조를 갖는 반도체 집적 회로장치 |
| 【발명의 영문명칭】 | semiconductor intergrated circuit having pads layout for improving signal integrity and for reducing chip size |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 김능균 |
| 【대리인코드】 | 9-1998-000109-0 |
| 【포괄위임등록번호】 | 2003-002377-2 |
| 【발명자】 | |
| 【성명의 국문표기】 | 이호철 |
| 【성명의 영문표기】 | LEE, Ho Cheol |
| 【주민등록번호】 | 651124-1018016 |
| 【우편번호】 | 449-846 |
| 【주소】 | 경기도 용인시 수지읍 풍덕천리 삼성5차아파트 518동 201호 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인) |
| 【수수료】 | |
| 【기본출원료】 | 20 면 29,000 원 |
| 【가산출원료】 | 0 면 0 원 |

1020030011686

출력 일자: 2003/3/11

| | | | | |
|----------|---------|----------------|---------|---|
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 11 | 항 | 461,000 | 원 |
| 【합계】 | 490,000 | | | 원 |
| 【첨부서류】 | 1. | 요약서·명세서(도면)_1통 | | |

【요약서】**【요약】**

신호 완결성 개선 및 칩 사이즈 감소를 위한 패드배치 구조를 갖는 반도체 집적회로장치가 개시된다. 주변회로 영역들로서 둘러 쌓인 메모리 셀 어레이 영역을 갖는 반도체 칩을 포함하는 반도체 집적회로장치는: 상기 반도체 칩의 원사이드에만 배치되어 상기 주변회로 영역들중 하나의 영역위에 존재하는 복수의 본딩 패드들; 상기 반도체 칩과는 이격된 상태로 상기 원사이드에 인접 배치되어 상기 복수의 본딩 패드들중 일부들과의 와이어 본딩이 상기 주변회로영역의 상부를 가로질러 수행되는 제1 그룹 리드들; 및 상기 반도체 칩과는 이격된 상태로 상기 원사이드에 대향되는 타측사이드에 인접 배치되어 상기 복수의 본딩 패드들중 나머지 본딩 패드들과의 와이어 본딩이 상기 메모리 셀 어레이 영역의 상부를 가로질러 수행되는 제2 그룹리드들을 구비함을 특징으로 한다.

【대표도】

도 5

【색인어】

반도체 집적회로장치, 신호 완결성, 칩 사이즈 감소, 패드배치, 원사이드

【명세서】**【발명의 명칭】**

신호 완결성 개선 및 칩 사이즈 감소를 위한 패드배치 구조를 갖는 반도체 집적회로 장치{semiconductor intergrated circuit having pads layout for improving signal integrity and for reducing chip size}

【도면의 간단한 설명】

도 1은 통상적인 센터 패드방식의 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도

도 2a 및 도 2b는 통상적인 에지 패드방식의 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도들

도 3는 본 발명의 제1 실시 예에 따라 원사이드 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도

도 4는 본 발명의 제2 실시 예에 따라 원사이드 듀얼 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도

도 5 및 도 6은 각기 도 3 및 도 4의 패드배치에 대응된 와이어 본딩을 보인 반도체 집적회로장치의 외관을 보인 평면도들

도 7 및 도 8은 각기 도 5 및 도 6의 변형 실시 예로서 리드 온 칩의 경우에 와이어 본딩을 보인 반도체 집적회로장치의 외관을 보인 평면도들

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 집적회로장치에 관한 것으로, 특히 반도체 메모리 등과 같은 반도체 집적회로장치의 패드 배치 및 와이어 본딩에 관한 것이다.
- <8> 통상적으로, 반도체 메모리장치 등과 같은 반도체 집적회로장치의 칩(chip)의상부에는 칩 외부와의 전기적 접속을 가능하게 하기 위한 본딩 패드들(bonding pads)이 놓여진다. 즉, 상기 본딩 패드들을 통하여 코멘드 입력, 데이터 리드, 및 데이터 라이트 동작에 관련된 신호들이 칩 내부로 입력되거나, 칩의 외부로 출력된다.
- <9> 반도체 칩내에 탑재되는 소자들의 집적도가 예를 들어, 2배 증가하더라도 본딩 패드들의 개수는 1개 정도가 증가되거나 심지어 1개 조차도 증가되지 않는다. 반대로 집적도가 절반으로 감소하더라도 상기 본딩 패드들의 개수는 1개 정도가 감소되거나 심지어 1개 조차도 감소되지 않는다. 그러므로, 고집적 메모리 등에서는 본딩 패드들이 점유하는 면적이 큰 이슈가 되지 않지만 저집적 메모리에서는 본딩 패드들이 점유하는 면적이 상당히 큰 이슈가 된다. 그러한 이유는 제조공정이 진보되면서 칩 사이즈는 계속적으로 감소하였으나 본딩 패드의 실제 사이즈는 그다지 감소되지 않기 때문이다. 즉, 칩의 전체 사이즈가 감소되더라도 본딩 패드들을 이용하는 본딩장비 및 테스트 장비등의 재투자 문제에 기인하여 본딩 패드들의 사이즈는 쉽게 감소되지 않는다. 그러므로, 본딩 패드들이 칩내에서 차지하는 면적은 증가하는 경향에 있다.

<10> 도 1은 통상적인 센터 패드방식의 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도이다. 도면을 참조하면, 본딩 패드들(PD1, PD2~PDn)은 메모리 셀 어레이 영역들(10, 20)의 사이에 1열로 배치된다. 결국, 상기 본딩 패드들(PD1, PD2~PDn)이 놓여진 곳은 주변회로 영역(30)의 상부가 된다. 상기한 바와 같은 본딩 패드들의 배치는 본 분야에서 센터 패드방식으로 칭해진다. 도 1과 같은 센터 패드방식의 패드배치에 있어서, 와이어 본딩은 상기 메모리 셀 어레이 영역(10)의 상부와 상기 메모리 셀 어레이 영역(20)의 상부를 크로싱(crossing)하면서 수행된다. 즉, 상기 메모리 셀 어레이 영역(10)의 근방에 리드 프레임(lead frame)의 리드들의 일부를 상기 칩(100)과는 이격적으로 배치하고, 상기 메모리 셀 어레이 영역(20)의 근방에 나머지 리드들을 상기 칩(100)과는 이격적으로 배치하여, 각각의 리드와 각각의 패드를 연결하는 와이어들이 상기 메모리 셀 어레이 영역들(10, 20)의 상부를 지나서 본딩이 되도록 한 것이다. 그러나, 상기한 센터 패드 방식은 메모리 셀 어레이 영역들(10, 20)의 사이에 배치되는 것이므로 셀 어레이 영역들이 분리되는 단점을 갖는다. 따라서, 그러한 단점에 기인하여 신호 완결성이 나쁜 문제점이 있다.

<11> 도 2a 및 도 2b는 통상적인 에지 패드방식의 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도들이다. 도 2a에서는 칩(100)의 두 사이드에만 서로 평행하게 본딩 패드들(PD1~PDn, PDa1~PDan)이 배치된 것이 보여진다. 한편, 도 2b에서는 칩(100)의 네 사이드 모두에 본딩 패드들이 배치된 것이 나타나 있다. 상기한 바와 같은 에지 패드방식의 구조에서는 와이어 본딩시 메모리 셀 어레이 영역(11)의 상부를 가로지르는 와이어는 없지만, 칩의 여러 사이드에 패드들이 배치되므로 칩 사이즈의 축소가 어렵게 되고 본딩 패드들이 분산됨에 따라 신호 완결성이 저하되는 문제점이 있다.

<12> 따라서, 본딩 패드를 보다 효율적으로 배치하여 칩 사이즈 감소 및 신호 완결성을 개선하는 해결책이 필요하게 된다.

【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결할 수 있는 반도체 집적회로장치를 제공함에 있다.

<14> 본 발명의 다른 목적은 신호 완결성을 개선할 수 있는 본딩 패드의 배치구조를 가진 반도체 집적회로장치를 제공함에 있다.

<15> 본 발명의 또 다른 목적은 칩 사이즈를 감소시킬 수 있는 본딩 패드의 배치구조를 가지는 반도체 집적회로장치를 제공함에 있다.

<16> 본 발명의 또 다른 목적은 리드 온 칩 구조에 적합한 본딩 패드 배치구조를 가지는 반도체 집적회로장치를 제공함에 있다.

<17> 상기한 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(aspect)에 따라, 주변회로 영역들로써 둘러 쌓인 메모리 셀 어레이 영역을 갖는 반도체 칩을 포함하는 반도체 집적회로장치는: 상기 반도체 칩의 원사이드에만 배치되어 상기 주변회로 영역들중 하나의 영역위에 존재하는 복수의 본딩 패드들; 상기 반도체 칩과는 이격된 상태로 상기 원사이드에 인접 배치되어 상기 복수의 본딩 패드들중 일부들과의 와이어 본딩이 상기 주변회로영역의 상부를 가로질러 수행되는 제1 그룹 리드들; 및 상기 반도체 칩과는 이격된 상태로 상기 원사이드에 대향되는 타측사이드에 인접 배치되어 상기



복수의 본딩 패드들중 나머지 본딩 패드들과의 와이어 본딩이 상기 메모리 셀 어레이 영역의 상부를 가로질러 수행되는 제2 그룹리드들을 구비함을 특징으로 한다.

<18> 본 발명의 다른 양상에 따라, 주변회로 영역들로서 둘러 쌓인 메모리 셀 어레이 영역을 갖는 반도체 칩을 포함하는 반도체 집적회로장치는: 상기 반도체 칩의 원사이드에만 배치되어 상기 주변회로 영역들중 하나의 영역위에 존재하는 복수의 본딩 패드들; 상기 반도체 칩과는 이격된 상태로 상기 원사이드에 인접 배치되어 상기 복수의 본딩 패드들중 일부들과의 와이어 본딩이 상기 주변회로 영역의 상부를 가로질러 수행되는 제1 그룹 리드들; 및 상기 원사이드에 대향되는 타측사이드에서 상기 메모리 셀 어레이 영역의 상부일부에 까지 연장배치되어 상기 복수의 본딩 패드들중 나머지 본딩 패드들과의 와이어 본딩이 상기 메모리 셀 어레이 영역의 나머지 상부를 가로질러 수행되는 제2 그룹 리드들을 구비함을 특징으로 한다.

<19> 상기한 반도체 집적회로장치의 패드 배치구조에 따르면, 칩의 원사이드에 배치된 패드들에 기인하여 주변회로 영역내의 회로를 통해 입출력되는 신호들에 대한 신호 완결성이 개선되고, 칩의 원사이드에만 본딩 패드들 및 주변회로 영역을 구성하는 회로소자들을 집중적으로 배치할 수 있으므로 칩 사이즈가 감소되는 이점이 있다.

【발명의 구성 및 작용】

<20> 이하에서는 본 발명의 실시예에 따라, 원사이드(one side) 본딩 패드 배치구조를 갖는 반도체 집적회로장치가 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 가지는 구성요소들은 동일 내지 유사한 참조부호로서 나타나 있다.



<21> 도 3는 본 발명의 제1 실시 예에 따라 원사이드 패드배치 구조를 갖는 반도체 집적 회로장치의 외관을 보인 평면도이다. 도면을 참조하면, 반도체 집적회로장치는 반도체 칩(100)을 포함하며, 상기 반도체 칩(100)은 주변회로 영역들로서 둘러 쌓인 메모리 셀 어레이 영역(10)을 갖는다. 복수의 본딩 패드들(PD1~PDn)은 상기 반도체 칩(100)의 원사이드(one side)에만 배치되어 상기 주변회로 영역들중 하나의 영역(80)위에 존재한다. 비록 도면에서는 상기 복수의 본딩 패드들(PD1~PDn)이 주변회로 영역(80)이 위치하는 칩(100)의 원사이드에 배치되어 있지만, 도면을 기준으로 좌측, 우측 또는 수평적으로 상측에 배치될 수 있음은 물론이다.

<22> 도 4는 본 발명의 제2 실시 예에 따라 원사이드 듀얼 패드배치 구조를 갖는 반도체 집적회로장치의 외관을 보인 평면도이다. 도면을 참조하면, 도 3의 구조에서 1열의 본딩 패드들이 더 추가된 구조가 보여진다. 결국, 도 4의 구조는 상기 복수의 본딩 패드들(PDa1~PDan, PDb1~PDbn)이 칩(100)의 원사이드에 2열로 나뉘어 배치된 것이다.

<23> 도 5 및 도 6은 각기 도 3 및 도 4의 패드배치에 대응된 와이어 본딩을 보인 반도체 집적회로장치의 외관을 보인 평면도들이다. 먼저, 도 5를 참조하면, 도 3과 같은 원사이드 본딩 패드 배치에서, 리드 프레임으로부터 드로잉(drawing)된 제1 그룹 리드들(BRD1~BRDn)이 상기 반도체 칩(100)과는 이격된 상태로 상기 원사이드에 인접 배치된 것이 보여진다. 따라서, 상기 복수의 본딩 패드들(PD1~PDn)중 일부들(PD2, PD4~PDn-1)과 제1 그룹 리드들(BRD1~BRDn)사이를 서로 대응적으로 연결하는 제1그룹 와이어들(BWR1~BWRn)의 와이어 본딩은 상기 주변회로영역(80)의 상부를 가로질러 수행된다. 즉, 제1그룹 와이어들(BWR1~BWRn)의 와이어 본딩은 상기 메모리 셀 어레이 영역(10)의 상부를 경유함이 없이 수행되는 것이다.

- <24> 한편, 상기 리드 프레임으로부터 드로잉된 제2 그룹 리드들(URD1~URDn)이 상기 반도체 칩(100)과는 이격된 상태로 상기 원사이드에 대향되는 타측사이드에 인접 배치된 것이 보여진다. 따라서, 상기 복수의 본딩 패드들(PD1~PDn)중 나머지 본딩 패드들(PD1, PD3~PDn)과 제2 그룹 리드들(URD1~URDn)사이를 서로 대응적으로 연결하는 제2그룹 와이어들(UWR1~UWRn)의 와이어 본딩이 상기 메모리 셀 어레이 영역(10)의 상부를 가로질러 수행된다.
- <25> 도 6을 참조하면, 도 4와 같은 원사이드 2열 본딩 패드 배치에서의, 와이어 본딩관계가 보여진다. 상기 본딩 패드들이 도 3과 같이 상기 반도체 칩의 원사이드에 1열로 배치되는 경우에 서로 인접한 본딩 패드들은 도 5와 같이 상기 제1,2 그룹 리드들(BRD1~BRDn, URD1~URDn)과 서로 번갈아 와이어 본딩되지만, 상기 본딩 패드들이 도 4와 같이 상기 반도체 칩의 원사이드에 2열로 배치되는 경우에 제1 및 제2열에 속한 본딩 패드들(PDa1~PDan, PDb1~PDbn)은 도 6과 같이 상기 제1 및 제2 그룹 리드들과 각기 대응되어 와이어 본딩된다.
- <26> 따라서, 칩(100)의 원사이드에 본딩 패드들이 모두 배치되므로 칩 사이즈가 축소되고, 본딩 패드들이 집중됨에 따라 주변회로 영역내의 회로를 통해 입출력되는 신호들에 대한 신호 완결성이 개선된다.
- <27> 도 7 및 도 8은 각기 도 5 및 도 6의 변형 실시 예로서 리드 온 칩(LOC)의 경우에 와이어 본딩을 보인 반도체 집적회로장치의 외관을 보인 평면도들이다. 상기한 배치들은 리드 온 칩(LOC:Lead On Chip)구조에서 보다 유리하게 적용가능하다.
- <28> 도 7을 참조하면, 복수의 본딩 패드들(PD1~PDn)이 상기 반도체 칩(100)의 원사이드에만 배치되어 있지만, 도 5와는 달리 제2 그룹리드들(URD1~URDn)이 상기 원사이드에 대



향되는 타측사이드에서 상기 메모리 셀 어레이 영역(10)의 상부일부에 까지 연장배치된 것이 보여진다. 이 것이 바로 리드 온 칩의 구조이다. 이러한 경우에, 상기 복수의 본딩 패드들중 나머지 본딩 패드들과 상기 제2 그룹리드들(URD1~URDn)간의 와이어 본딩은 상기 메모리 셀 어레이 영역(10)의 나머지 상부를 가로질러 수행된다. 상기한 와이어 본딩에 따르면, 와이어들(UWR1~UWRn)의 길이가 도 5의 경우에 비해 현저히 짧아진다.

<29> 도 8에서, 복수의 본딩 패드들(PDa1~PDan, PDb1~PDbn)이 상기 반도체 칩(100)의 원사이드에 2열로 배치되어 있지만, 도 6과는 달리 제2 그룹리드들(URD1~URDn)이 상기 원사이드에 대향되는 타측사이드에서 상기 메모리 셀 어레이 영역(10)의 상부일부에 까지 연장배치된 것이 보여진다. 여기서도, 유사하게 와이어들(UWR1~UWRn)의 길이가 도 6의 경우에 비해 현저히 짧아진다.

<30> 도 7 및 도 8의 경우에도 칩(100)의 원사이드에 본딩 패드들이 1열 또는 2열로 배치되므로 칩 사이즈가 축소되고, 본딩 패드들이 집중됨에 따라 주변회로 영역내의 회로를 통해 입출력되는 신호들에 대한 신호 완결성이 개선된다.

<31> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 패드들의 형상이나 배열관계를 다양한 형태로 변경할 수 있음은 물론이다.

【발명의 효과】

<32> 상기한 바와 같은 반도체 집적회로장치의 패드 배치구조에 따르면, 칩의 원사이드에 배치된 패드들에 기인하여 주변회로 영역내의 회로를 통해 입출력되는 신호들에 대한 신호 완결성이 개선되는 효과가 있다. 또한, 칩의 원사이드에만 본딩 패드들 및 주변회로 영역을 구성하는 회로소자들을 집중적으로 배치할 수 있으므로 칩 사이즈가 감소되는 효과가 있다.

【특허청구범위】**【청구항 1】**

주변회로 영역들로서 둘러 쌓인 메모리 셀 어레이 영역을 갖는 반도체 칩을 포함하는 반도체 집적회로장치에 있어서:

상기 반도체 칩의 원사이드에만 배치되어 상기 주변회로 영역들중 하나의 영역위에 존재하는 복수의 본딩 패드들;

상기 반도체 칩과는 이격된 상태로 상기 원사이드에 인접 배치되어 상기 복수의 본딩 패드들중 일부들과의 와이어 본딩이 상기 주변회로영역의 상부를 가로질러 수행되는 제1 그룹 리드들; 및

상기 반도체 칩과는 이격된 상태로 상기 원사이드에 대향되는 타측사이드에 인접 배치되어 상기 복수의 본딩 패드들중 나머지 본딩 패드들과의 와이어 본딩이 상기 메모리 셀 어레이 영역의 상부를 가로질러 수행되는 제2 그룹리드들을 구비함을 특징으로 하는 반도체 집적회로장치.

【청구항 2】

제1항에 있어서, 상기 본딩 패드들은 상기 반도체 칩의 원사이드에 적어도 1열 이상으로 배치됨을 특징으로 하는 반도체 집적회로장치.

【청구항 3】

제1항에 있어서, 상기 본딩 패드들은 상기 반도체 칩의 원사이드에 2열로 배치됨을 특징으로 하는 반도체 집적회로장치.

【청구항 4】

제1항에 있어서, 상기 본딩 패드들이 상기 반도체 칩의 원사이드에 1열로 배치되는 경우에 서로 인접한 본딩 패드들은 상기 제1,2 그룹 리드들과 서로 번갈아 와이어 본딩됨을 특징으로 하는 반도체 집적회로장치.

【청구항 5】

제1항에 있어서, 상기 본딩 패드들이 상기 반도체 칩의 원사이드에 2열로 배치되는 경우에 제1 및 제2열에 속한 본딩 패드들은 상기 제1 및 제2 그룹 리드들과 각기 대응되어 와이어 본딩됨을 특징으로 하는 반도체 집적회로장치.

【청구항 6】

주변회로 영역들로써 둘러 쌓인 메모리 셀 어레이 영역을 갖는 반도체 칩을 포함하는 반도체 집적회로장치에 있어서:

상기 반도체 칩의 원사이드에만 배치되어 상기 주변회로 영역들중 하나의 영역위에 존재하는 복수의 본딩 패드들;

상기 반도체 칩과는 이격된 상태로 상기 원사이드에 인접 배치되어 상기 복수의 본딩 패드들중 일부들과의 와이어 본딩이 상기 주변회로영역의 상부를 가로질러 수행되는 제1 그룹 리드들; 및

상기 원사이드에 대향되는 타측사이드에서 상기 메모리 셀 어레이 영역의 상부일부에 까지 연장배치되어 상기 복수의 본딩 패드들중 나머지 본딩 패드들과의 와이어 본딩이 상기 메모리 셀 어레이 영역의 나머지 상부를 가로질러 수행되는 제2 그룹리드들을 구비함을 특징으로 하는 반도체 집적회로장치.

【청구항 7】

제6항에 있어서, 상기 본딩 패드들은 상기 반도체 칩의 원사이드에 적어도 1열 이상으로 배치됨을 특징으로 하는 반도체 집적회로장치.

【청구항 8】

제6항에 있어서, 상기 본딩 패드들은 상기 반도체 칩의 원사이드에 1열로 배치됨을 특징으로 하는 반도체 집적회로장치.

【청구항 9】

제6항에 있어서, 상기 본딩 패드들이 상기 반도체 칩의 원사이드에 1열로 배치되는 경우에 서로 인접한 본딩 패드들은 상기 제1,2 그룹 리드들과 서로 번갈아 와이어 본딩됨을 특징으로 하는 반도체 집적회로장치.

【청구항 10】

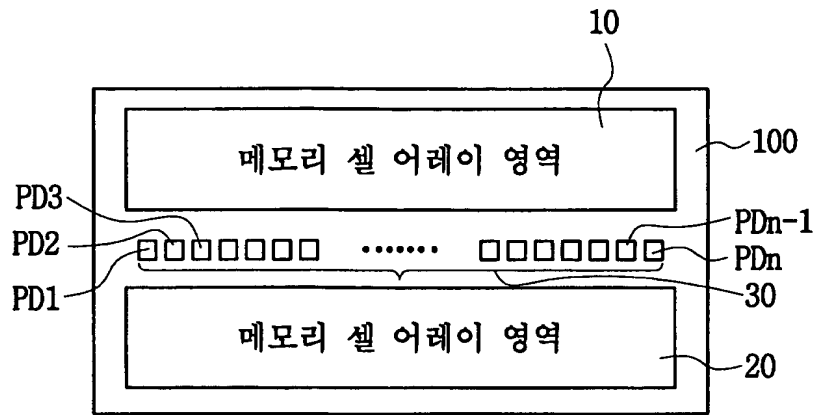
제6항에 있어서, 상기 본딩 패드들이 상기 반도체 칩의 원사이드에 2열로 배치되는 경우에 제1 및 제2열에 속한 본딩 패드들은 상기 제1 및 제2 그룹 리드들과 각기 대응되어 와이어 본딩됨을 특징으로 하는 반도체 집적회로장치.

【청구항 11】

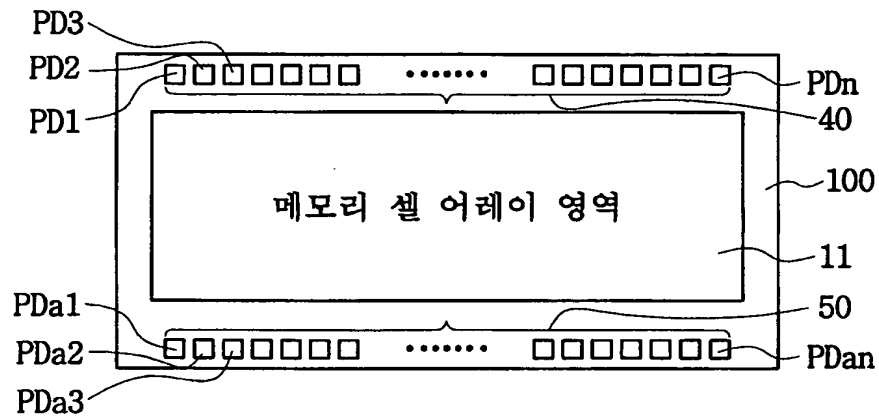
칩의 원사이드에만 본딩 패드들을 배치하고, 상기 원사이드 및 상기 원사이드에 대향되는 타측사이드에 리드 프레임의 리드들을 각기 나누어 배치하여, 상기 원사이드의 리드들과 상기 본딩 패드들의 일부들간의 와이어 본딩은 상기 메모리 셀 어레이 영역의 상부를 경유함이 없이 이루어지고, 상기 타측사이드의 리드들과 상기 본딩 패드들의 나머지 간의 와이어 본딩은 상기 메모리 셀 어레이 영역의 상부를 경유하여 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

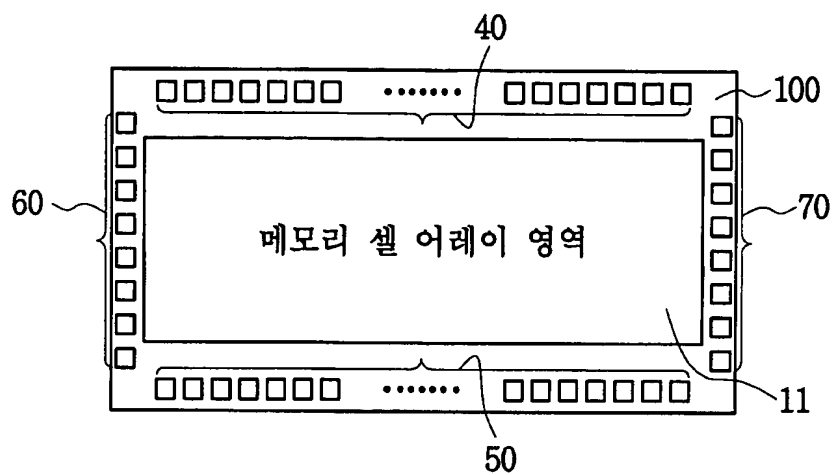
【도 1】



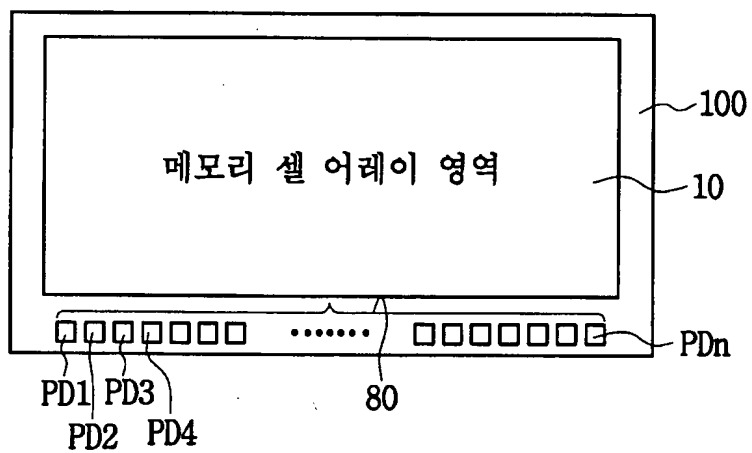
【도 2a】



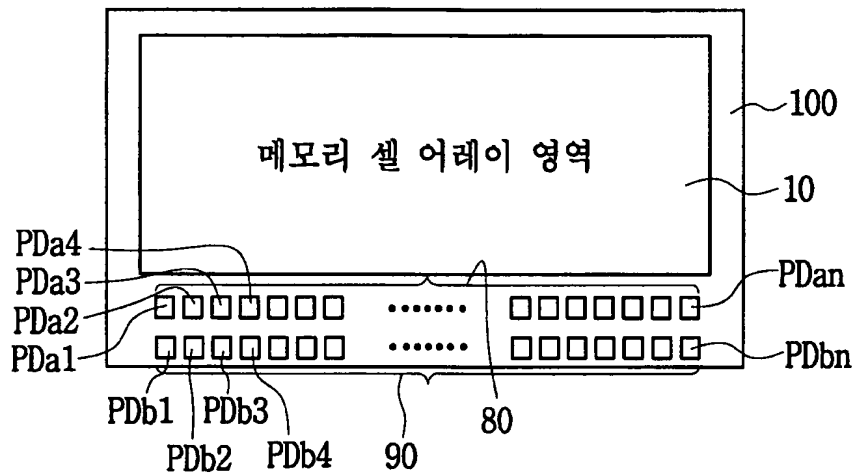
【도 2b】



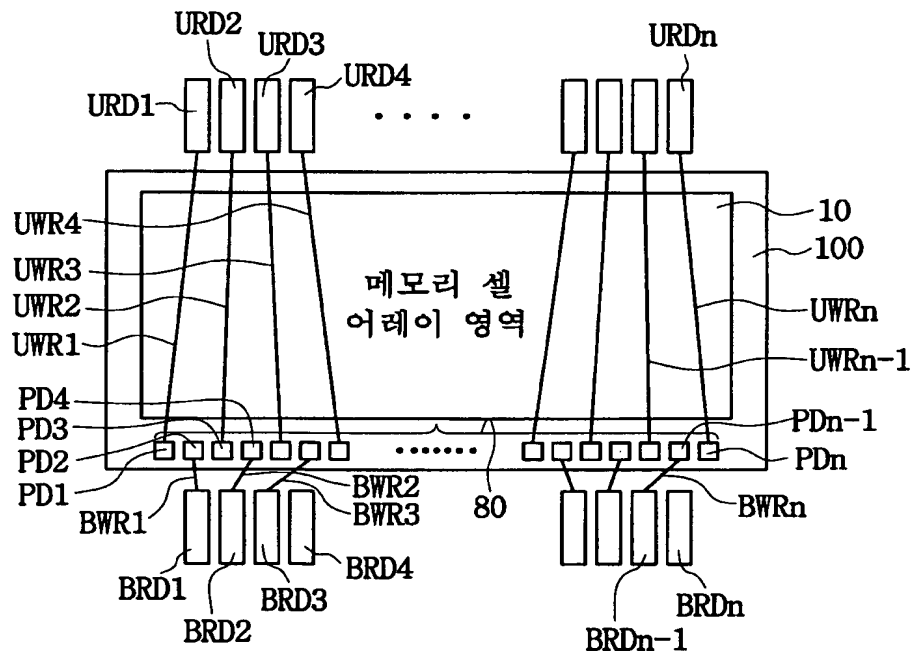
【도 3】



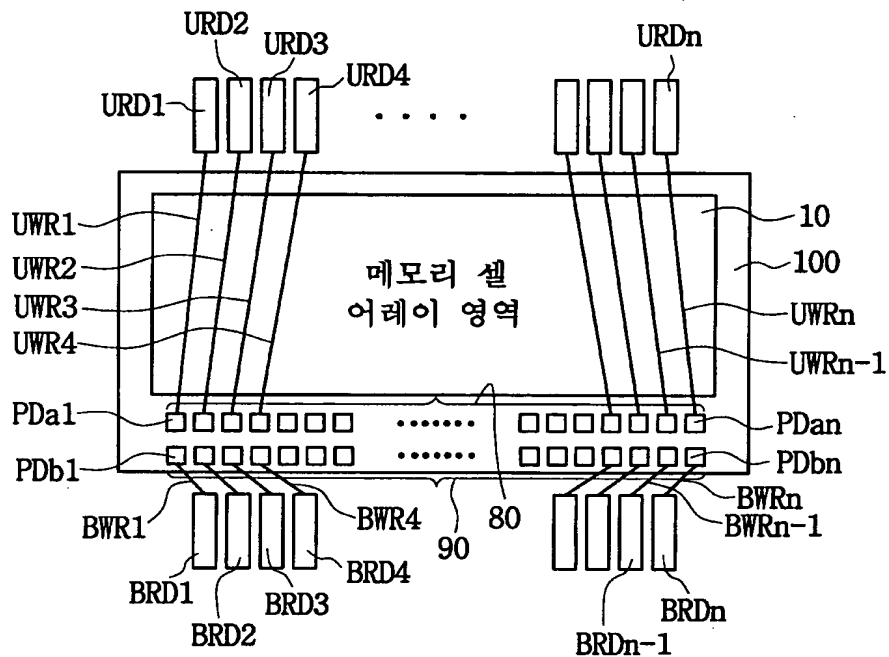
【도 4】



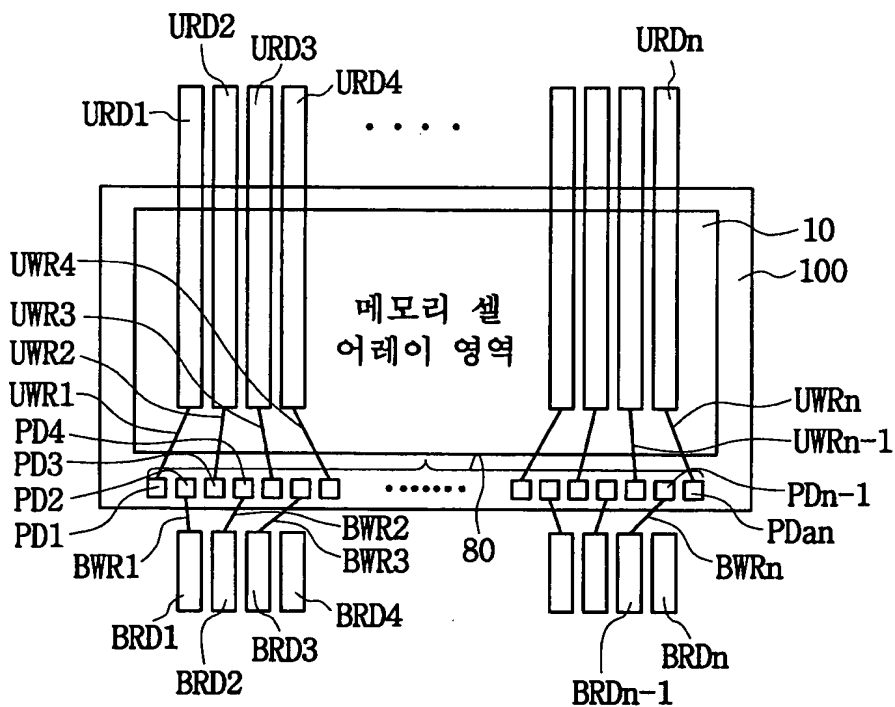
【도 5】



【도 6】



【도 7】



【도 8】

